

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-076033

(43)Date of publication of application : 06.04.1988

(51)Int.Cl.

G06F 12/08

(21)Application number : 61-221495

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.09.1986

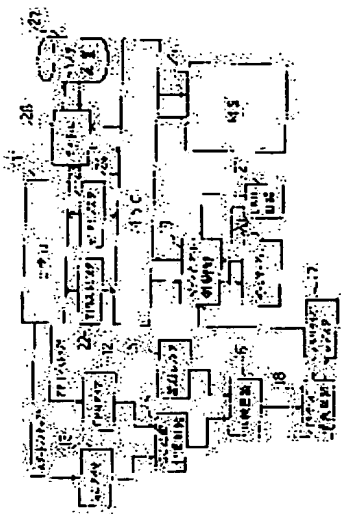
(72)Inventor : NIWA MASASHI
MIYAKE HIDEO
ARAI SUSUMU

(54) VIRTUAL MEMORY SYSTEM WITH VARIABLE MEMORY SIZE

(57)Abstract:

PURPOSE: To contrive to improve processing efficiency by changing the using range of a page table in accordance with the increase/decrease of a value in a memory size register.

CONSTITUTION: A memory size increase/decrease circuit 18 increases/decreases a value in the memory size register 17 by a previously determined constant value on the basis of the compared result of a ratio of a garbage collection processing executing time within a fixed period with a threshold. The memory size of the fixed value to be assigned to a user is initially set up in the register 17 and the value is outputted to the circuit 18 and a page table control part 19. the control part 19 controls the using range of the page table 20 in accordance with the current value with the memory size stored in the register 17 to change the memory size. Consequently, the overhead of paging in the virtual storage and starting frequency of a gabage collector are balanced and the processing efficiency can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-76033

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)4月6日

G 06 F 12/08

W-7927-5B
Y-7927-5B

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 可変メモリサイズの仮想記憶方式

⑮ 特 願 昭61-221495

⑯ 出 願 昭61(1986)9月19日

⑰ 発 明 者 丹 羽 雅 司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑱ 発 明 者 三 宅 英 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 新 井 進 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 長谷川 文廣 外1名

明 細 書

1. 発明の名称

可変メモリサイズの仮想記憶方式

2. 特許請求の範囲

仮想記憶と、ガーベジコレクタとを備えた情報処理装置において、

全体の実行時間またはガーベジコレクタのガーベジコレクション処理を除く実行時間を計測する第1のタイマ回路(2)と、

ガーベジコレクタのガーベジコレクション処理に要する実行時間を計測する第2のタイマ回路(3)と、全体の実行時間またはガーベジコレクション処理以外の実行時間に対する、ガーベジコレクション処理に要する実行時間の比率を計算する比率計算回路(4)と、比率についての所定の閾値を保持する閾値レジスタ(5)と、前記閾値と前記比率計算回路(4)が計算した結果の比率とを比較する比較回路(6)と、メモリサイズを保持するメモリサイズレ

ジスタ(7)と、比較回路(6)の比較結果出力によってメモリサイズレジスタ(7)の値を増減するメモリサイズ増減回路(8)とをそなえ、メモリサイズレジスタ(7)の値の増減に従ってページテーブル(9)の利用範囲を変更することにより仮想記憶のメモリサイズを増減することを特徴とする可変メモリサイズの仮想記憶方式。

3. 発明の詳細な説明

(概要)

仮想記憶とガーベジコレクタとをそなえた情報処理装置において、仮想記憶のメモリサイズを可変にし、仮想記憶におけるページングのオーバーヘッドとガーベジコレクション処理時間とをバランスさせて実効的な性能向上を図る。

(産業上の利用分野)

本発明は、情報処理装置における仮想記憶方式に関するものである。

(従来の技術と本発明が解決しようとする問題点)

一般に、仮想記憶方式による情報処理装置、特に L I S T プロセッサなどでは、処理の進行とともに、第 3 図に示すように、データの削除等に基づく小さな空き領域が分散して多数生じ、割り当てられたメモリサイズの有効利用が困難となるのが普通である。このためガーベジコレクタをそなえ、適当なタイミングで、空き領域を集約化するガーベジコレクション処理を行なわせて、メモリスペースの効率化を図っている。

このような仮想記憶と、ガーベジコレクタとを有する従来の情報処理装置においては、ユーザに対して、アドレス可能なメモリ空間一杯まで仮想記憶を提供するか、またはシステムで決められた一定のメモリサイズで仮想記憶を提供していた。

このため、小規模プログラムでも、大規模なプログラムでも同一のメモリサイズで実行されているために、小規模なプログラムでは、実記憶のみで実行可能であるにもかかわらず、仮想記憶で実行され、ページングのオーバーヘッドにより応答時

間が長くなっていた。

また、逆に大規模なプログラムに小さなメモリサイズしか提供しない場合には、ガーベジコレクタが頻繁に起動されたために、処理プロセッサの実行時間よりもガーベジコレクション処理に要する時間が多くなり、実行性能が低下するという問題があった。

(問題点を解決するための手段)

本発明は、プログラムに適したメモリサイズを与えることにより、仮想記憶のページングのオーバーヘッドとガーベジコレクション処理に要する時間の双方を減少させ、高速な実行性能を提供するものである。

本発明は、プログラムに対して小さなメモリサイズを与えるとページングのオーバーヘッドは少ない替りに、ガーベジコレクタが頻繁に起動されて実行性能が低下し、逆に大きなメモリサイズを与えるとガーベジコレクタが起動されることは少ない替りに、ページングのオーバーヘッドが大きくな

り、実行性能が低下することから、ガーベジコレクタの起動頻度が常に一定の値になるようにメモリサイズを変更制御して、双方のオーバーヘッドを軽減するものである。

すなわち、本発明では、ガーベジコレクタの頻度が大きい場合には、メモリサイズを拡大し、逆にガーベジコレクタの頻度が少ない場合にはメモリサイズを小さくするように構成するものである。

第 1 図に、本発明の原理的構成を示す。図において、1 は C P U であり、ユーザのプログラム処理およびガーベジコレクション処理を実行する。

2 は第 1 のタイマ回路であり、C P U の全実行時間または全実行時間中でのガーベジコレクション処理以外の実行時間を計測する。ただし第 1 図では、便宜上、全実行時間を計測するものとして説明する。

3 は第 2 のタイマ回路であり、ガーベジコレクション処理の実行時間のみを計測する。

4 は比率計算回路であり、第 1 のタイマ回路 2 が計測した C P U の全実行時間と第 2 のタイマ回

路 3 が計測したガーベジコレクション処理の実行時間との比率を求める。

5 は閾値レジスタであり、比率計算回路 4 が計算した比率の適正値を示す閾値を保持する。

6 は比較回路であり、比率計算回路 4 が計算した比率と閾値とを比較してその差を求める。

7 はメモリサイズレジスタであり、仮想記憶のメモリサイズを指定する値を保持する。

8 はメモリサイズ増減回路であり、比較回路 6 の比較結果に基づいてメモリサイズレジスタ 7 の値を増減する。

9 はページテーブル制御部であり、メモリサイズレジスタ 7 に設定されている値にしたがって、ページテーブル 10 の有効範囲を制御する。

(作用)

第 1 図に示された本発明の構成において、

C P U 1 は、何らかの処理を実行している期間中、第 1 のタイマ回路 2 を動作させ、全実行時間を計測させ、また特にガーベジコレクション処理

を実行している期間中、第2のタイマ回路3を動作させる。

次に、全実行時間 (T_c で表わす) に対するガーベジコレクション処理実行時間 (T_g で表わす) の比率 (T_g / T_c) を比率計算回路4で求め、これを比較回路6で、閾値レジスタ5に予め適正值として設定されている閾値 (α で表わす) と比較し、 $(T_g / T_c) > \alpha$ 、 $(T_g / T_c) < \alpha$ のそれぞれの場合に対応する信号を作成する。

$(T_g / T_c) > \alpha$ 、すなわちガーベジコレクション処理実行時間が全実行時間中に占めている割合合いが適正值を超えている場合には、メモリサイズ増減回路8にメモリサイズの増加を行なわせる。またその反対に、 $(T_g / T_c) < \alpha$ である場合には、メモリサイズを減少させる。

このようにして、メモリサイズの値を増減することにより、ページテーブル制御部9にページテーブル10の有効表示を変更させ、メモリサイズの増減制御を行なう。

(実施例)

タイマ12については、ガーベジコレクタの起動時にストップしてガーベジコレクション処理の終了時にスタートさせるように制御する。

これにより、CPUタイマ12は、ガーベジコレクション処理以外の実行時間を計測する。また、GCタイマ13では、ガーベジコレクション処理に要する実行時間のみを計測する。

MSC24は、MS25とCPU11あるいはチャネル26との間で、メモリアクセス制御およびデータ転送制御を行なう。

GC比率計算回路14は、一定期間内におけるガーベジコレクション処理実行時間の比率 (GC比率) を計算している。

閾値レジスタ15は、ガーベジコレクション処理実行時間の適正比率を示す閾値を保持している。

比較回路16は、GC比率と閾値とを比較し、その結果をメモリサイズ増減回路18に出力する。

メモリサイズ増減回路18は、比較結果に基づき、メモリサイズレジスタ17の値を予め定められた一定量だけ増減する演算を行なう。すなわち、

第2図に、本発明の1実施例の構成を示す。

図において、11はCPU、12はCPUタイマ、13はGCタイマ、14はGC比率計算回路、15は閾値レジスタ、16は比較回路、17はメモリサイズレジスタ、18はメモリサイズ増減回路、19はページテーブル制御部、20はページテーブル、21はLRU回路、22はアドレスレジスタ、23はデータレジスタ、24はMSC (記憶制御装置)、25はMS (記憶装置)、26はチャネル、27はディスク装置である。

なお、第2図中に11ないし20で示されている構成要素は、第1図中に1ないし10で示されている構成要素にそれぞれ対応している。

CPU11は、アドレスレジスタ22とデータレジスタ23とを通じて、MS25との間でデータの送受を行なう。また、ガーベジコレクタの起動時には、ガーベジコレクション処理に要する実行時間を測定するために、GCタイマ13をスタートさせ、ガーベジコレクション処理の終了時に、GCタイマ13をストップさせる。他方、CPU

GC比率が高い時には、メモリサイズの値に一定量だけ加算し、比率が低い時には、メモリサイズの値より一定量だけ減算する。この一定量としては、数百KB、数MBを採用すれば良い。

メモリサイズレジスタ17には最初にユーザに割り当てる一定値、例えば4MBあるいは16MBのメモリサイズが設定され、その値はメモリサイズ増減回路18およびページテーブル制御部19に出力される。ページテーブル制御部19は、メモリサイズレジスタ17内のメモリサイズの現在値に従って、ページテーブル20の使用範囲を制御することにより、メモリサイズを変更する。

LRU (Least Recently Used) 回路21は、ページスワップの候補選択をするための論理を実行する。

チャネル26は、MS25とディスク装置27との間のデータ転送を制御する。

ディスク装置27には、ページアウトされたページが格納される。

(発明の効果)

本発明によれば、プログラムに通したメモリアイーズが自動的に設定され、仮想記憶でのページングのオーバーヘッドとガーベジコレクタの起動頻度がバランスされるため、双方のオーバーヘッドを減少させることができ、処理効率の向上と処理の高速化とが得られる。

8 : メモリサイズ増減回路

9 : ページテーブル制御部

10 : ページテーブル

特許出願人 富士通株式会社

代理人弁理士 長谷川 文廣（外1名）

4. 図面の簡単な説明

第1図は本発明の原理的構成図、第2図は本発明の1実施例の構成図、第3図は仮想記憶内に発生する空き領域の説明図である。

第 1 圖中、

1 : C P U

2 : 第 1 のタイマ回路

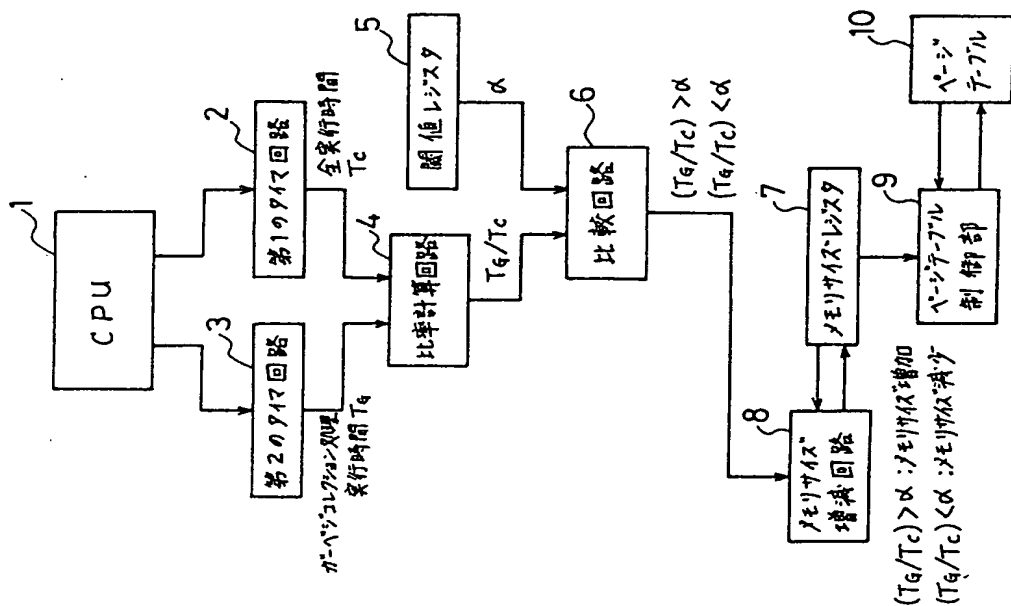
3 : 第 2 のタイマ回路

4 : 比率計算回路

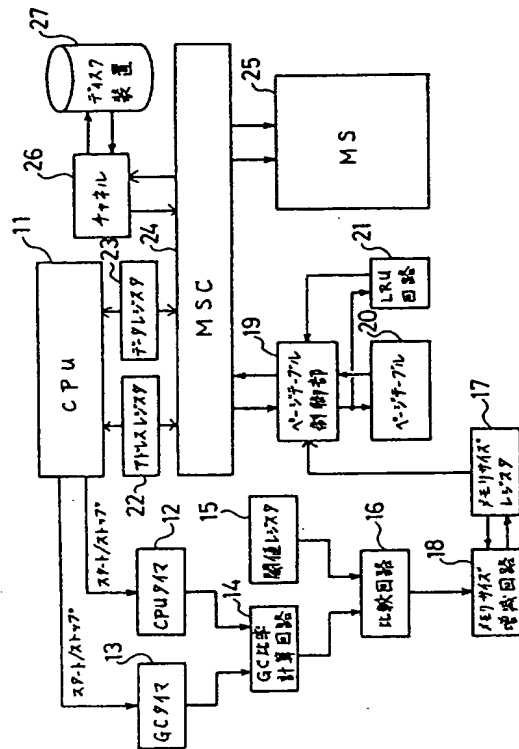
5 : 閾値レジスタ

6 : 比較回路

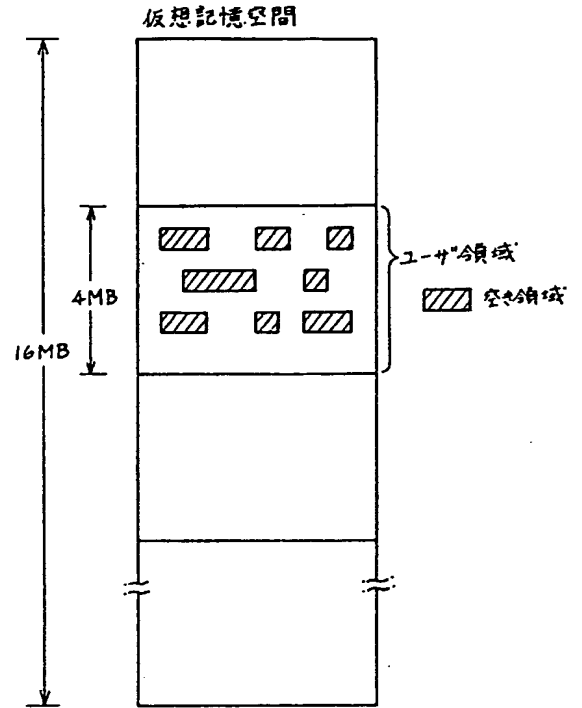
7: メモリサイズレジスタ



本発明の原理の構成



本發明の一実施例構成
第 2 図



仮想記憶内に発生する空き領域の例